

ЕЛЕКТРОНІКА

УДК 621.384

DOI <https://doi.org/10.32782/2663-5941/2023.2.2/43>

М'яновський В.В.

Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»

Корнєв В.П.

Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»

СХЕМА ІМПУЛЬСНОГО НЕЙРОНА З ВИХІДНИМ БУФЕРОМ НА ДЗЕРКАЛАХ СТРУМУ

Розглянуто сучасні рішення для проектування штучного нейрона в інтегральних мікросхемах. Проаналізовано переваги та недоліки всіх розглянутих схемотехнічних рішень реалізації штучного нейрона. Запропоновано удосконалене принципове рішення схеми штучного нейрона на струмових дзеркалах. Це рішення можливо реалізувати в стандартній CMOS технології виготовлення інтегральних напівпровідникових схем.

Було проаналізовано дві добре відомі реалізації штучного нейрона в ІС. Одним із них є адиабатичний нейрон, і його головною особливістю є використання джерела змінної напруги для керування деревом синапсису та вихідним буфером, який складається з компаратора із засувкою, тому схема споживатиме менше енергії. Іншою особливістю цього нейрона є використання мемконденсаторів як ваг для вхідних сигналів. Мемконденсатори утворюють ємнісний суматор, який сумує весь зважений сигнал в один.

Другим рішенням є нейрон LIF, який представляє вхідні та вихідні сигнали як стрибки напруги. Така форма сигналу для нейронів покращує енергоефективність загальної нейроморфної мережі за рахунок меншого енергоспоживання. Також синаптичний вхід такого нейрона складається тільки з одного конденсатора, а ваги представлені як частоти вхідних сигналів. Таке рішення спрощує загальний дизайн нейронної мережі, оскільки воно не включає жодних додаткових компонентів, таких як конденсатори чи резистори.

У результаті аналізу існуючих рішень було вирішено вдосконалити схему нейрона LIF, оскільки вона має кращу енергетичну ефективність порівняно з адиабатичним нейроном і тому, що вона має простіший синаптичний вхід. Як удосконалення пропонується використовувати поточні дзеркала замість звичайного CMOS інвертора як вихідний буфер. Струмові дзеркала дозволять сумувати напруги на вхідному ємнісному синапсису інших нейронів, що є критичним для правильної роботи всієї мережі.

Ключові слова: штучний нейрон, інтегральні схеми (ІС), КМОП технологія, струмове дзеркало, адиабатичний нейрон, LIF нейрон.

Вступ. Нейронні мережі – тип моделі штучного інтелекту, натхненний структурою та функціями людського мозку, стають все більш важливими в багатьох сферах, від комп'ютерного зору та розпізнавання мови до автономних транспортних засобів і фінансового аналізу. Одним із ключових факторів, який сприяв широкому впровадженню нейронних мереж, є наявність інтегральних схем (ІС), які можуть ефективно реалізовувати інтенсивні обчислювальні операції, необхідні нейронним мережам.

Нейронні мережі складаються з шарів взаємопов'язаних «нейронів», кожен з яких виконує прості обчислення над своїми даними

на вході і передає результат на наступний рівень [1]. Нейрони зазвичай організовані в шари, причому кожен шар відповідає за виявлення дедалі складніших характеристик у вхідних даних. Ваги зв'язків між нейронами змінюються нейронною мережею на прикладах під час фази навчання, що дозволяє мережі узагальнювати нові вхідні дані.

Швидкість обчислень та складність виготовлення штучних нейронів може значно відрізнятися залежно від конкретної реалізації та використовуваної базової технології схеми. Наприклад, якщо штучний нейрон створено за допомогою резисторів і конденсаторів, його продуктивність

може бути обмежена такими факторами, як точність значень резисторів і стабільність конденсаторів у часі та температурі. Ці варіації можуть призвести до відмінностей між бажаними та дійсними показниками роботи нейрона.

Подібним чином, якщо штучний нейрон реалізований на FPGA, на його продуктивність може вплинути кількість доступних логічних елементів і ресурси маршрутизації на FPGA. Максимальна робоча швидкість FPGA також може обмежувати швидкість обчислень нейрона, особливо для програм реального часу, де потрібна висока швидкість обробки [2, с. 20].

У випадку мемристивів, які є типом елемента схеми, який може демонструвати зміни опору в залежності від останньої прикладеної напруги, швидкодія штучного нейрона може залежати від точності та мінливості поведінки мемристора. Крім того, використання мемристивів може внести нелінійність і шум у синапсі нейрона, що може вплинути на точність обчислень нейрона [3].

Саме тому, розробка штучного нейрона, який матиме більшу швидкодію, робота якого менше залежатиме від зовнішніх чинників (температура) та який не є складним у реалізації є пріоритетною та актуальною задачею на сьогоднішній день.

1. Постановка задачі

Задача полягає у розробці схематехнічного рішення для штучного нейрона який матиме наступні характеристики:

- Матиме високу енергоефективність;
- Може бути реалізований з використанням стандартної КМОП технології з виготовлення ІС;
- Складатиметься лише зі стандартних, простих елементів: резистори, транзистори, конденсатори;

2. Аналіз наявних рішень

2.1. Адіабатичний ємнісний штучний нейрон. У роботі запропоновано адіабатичний ємнісний штучний нейрон із пороговим виявленням на основі RRAM розроблений як енергоефективний і масштабований нейрон для використання в нейроморфних обчислювальних системах [4, с. 5]. Нейрон створений для імітації поведінки біологічних нейронів, які передають і обробляють інформацію за допомогою електричних сигналів.

У запропонованій конструкції вхідні сигнали приймаються масивом ємностей, який заряджається і розряджається у відповідь на вхідні сигнали (рис. 1) [5, р. 1; с. 2]. Зарядка та розрядка ємнісного масиву розроблені як адіабатичні, тобто енергія зберігається під час процесу для мінімізації втрат енергії.

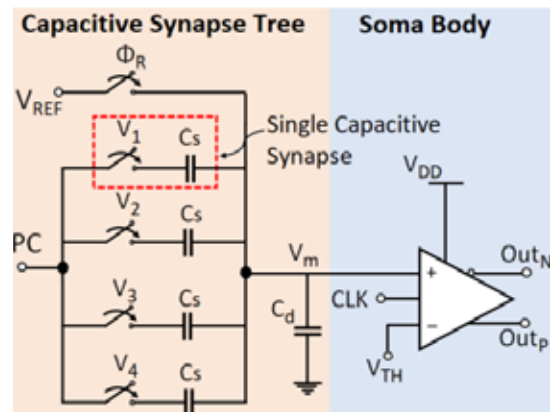


Рис. 1. Спрощена схема адіабатичного ємнісного штучного нейрона

Вхідним сигналом слугує пульс від генератора синусоїдального сигналу PC, який згодом розподіляється по синаптичним мемконденсаторам C_s . Сигнал з PC подається у тому випадку, якщо було замкнено відповідний ключ V_i (рис. 2) [6, р. 6; с. 4]. Вагами для вхідних сигналів є значення ємностей синаптичних конденсаторів. Самі ж синаптичні конденсатори разом з обмежувальним конденсатором C_d утворюють ємнісний суматор, таким чином дана структура виконує суму зважених вхідних сигналів.

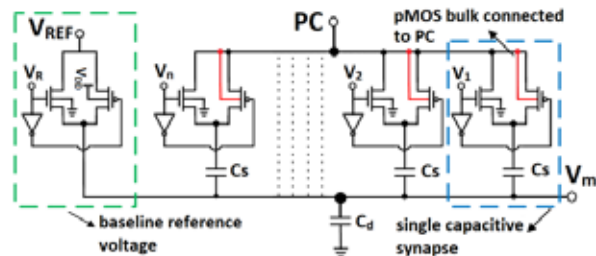


Рис. 2. Схема ключів, які подають пульс з генератора синусоїди на синаптичні конденсатори

Отримана сума подається до входу компаратора з зацілкою, який слугує тілом нейрона. Особливістю даної схеми компаратора (рис. 3) [7, р. 7; с. 5] є її енергонезалежність, що означає, що нейрон може зберігати свій вихідний стан навіть при вимкненні живлення. Живлення на компаратор подається лише тоді, коли присутні імпульси з генератора синусоїдального сигналу. Ця властивість особливо корисна для нейроморфних обчислювальних програм, які потребують низького енергоспоживання та енергонезалежної пам'яті. Даний компаратор реалізує стандартну порогову функцію активації нейрона – на виході нейрона присутній дискретний сигнал з двома можливими станами: логічний «1» чи логічний «0».

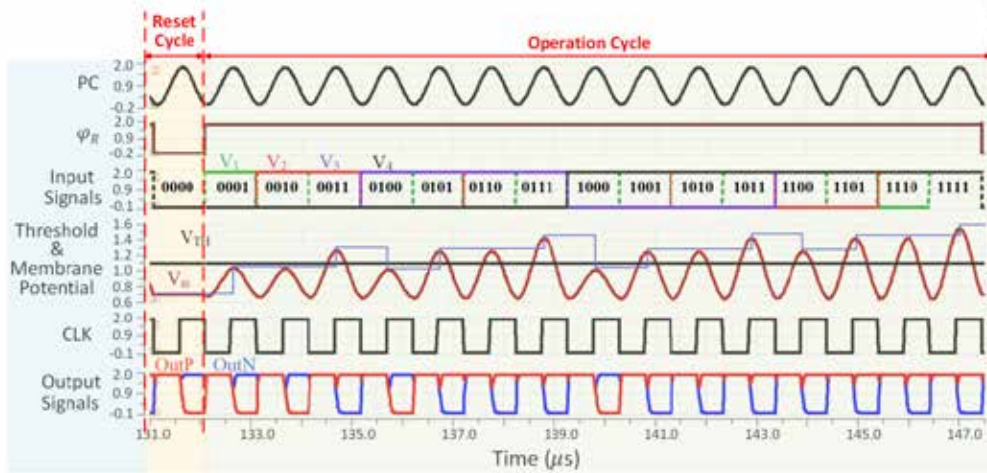


Рис. 5. Результати симуляції роботи штучного адіабатичного Нейрона

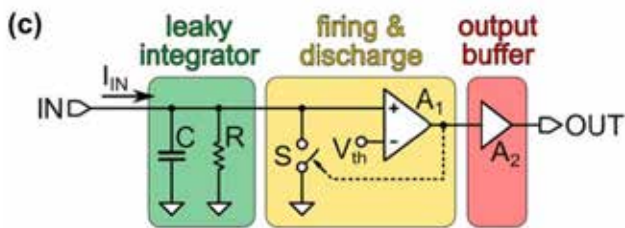


Рис. 6. Спрощена схема імпульсного нейрона

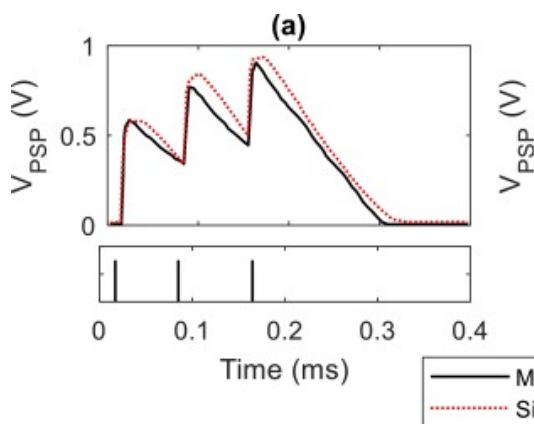


Рис. 7. Вихідний сигнал протікаючого інтегратора, знизу показано серію вхідних імпульсів, що надходять до інтегратора

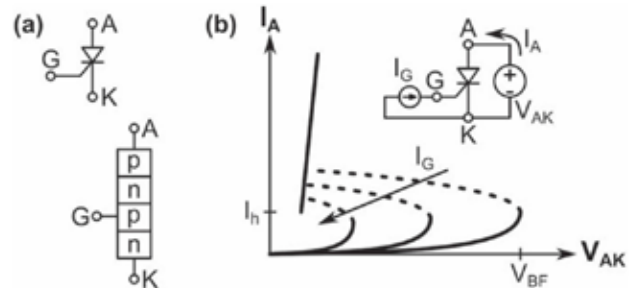


Рис. 8. Структура тиристора (а), ВАХ тиристора (б)

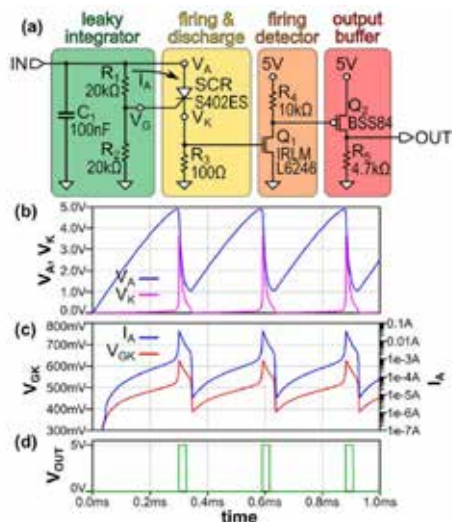


Рис. 9. Схема імпульсного нейрона з використанням тиристора (а), Графіки напруг на інтеграторі та тиристорі (б), Графік струму тиристора та напруги між затвором та катодом (с), Графік сигналу на виході нейрона (д)

через тиристор починає стрімко зростати, тобто відбувається та ж сама детекція порогової напруги, що і при застосуванні компаратора, як показано на рис. 6. Схема імпульсного нейрона з використанням тиристора для генерації імпульсу показана на рис. 9 [13, р. 3; с. 4].

Головним недоліком використання тиристора у якості генератора імпульсу є те, що його чотирьох шарову структуру дуже складно реалізувати використовуючи стандартні технології для створення КМОП структур. Через це було запропоновано

створити схему на стандартних транзисторах, яка б імітувала поведінку тиристора. Запропоновані схеми показані на рис. 10 [14, р. 5; с. 5].

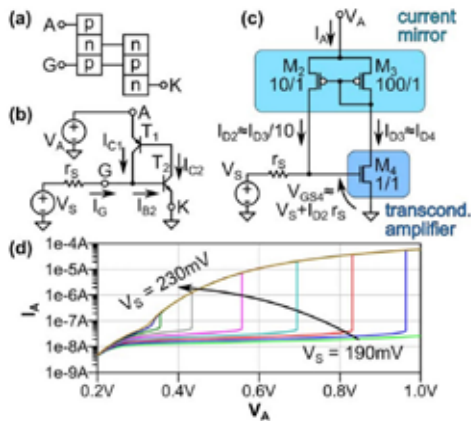


Рис. 10. Представлення еквівалентної схеми тиристора у вигляді двох біполярних транзисторів (а), (b),
Схема тиристора, реалізована на МОП транзисторах (с),
Результати симуляції еквівалентної схеми на МОП транзисторах (d)

На рис. 10 (b) показано еквівалентну схему тиристора на основі біполярних транзисторів. Як тільки напруга на базі транзистора T2 досягає необхідного рівня для відкриття р-п переходу база-емітер, транзистор T2 відкривається, і з бази транзистора T1 теж починає протікати струм. Струм бази транзистора T1 є струмом колектора T2, даний струм підсилюється транзистором T1, і витікає з його колектора, де його частка втікає в базу T2. Таким чином маємо позитивний зворотній зв'язок, де струм колектора T1 буде підсилюватися до тих пір, поки він не зрівняється зі струмом колектора T2. У даному випадку дану схему можна розглядати як струмове дзеркало, яке можна реалізувати на МОП транзисторах (рис. 10 (c)).

Схема на МОП транзисторах працює аналогічно до попередньої на біполярних транзисторах. Коли напруга на затворі M4 стає достатньою, щоб відкрити даний транзистор, слідом за ним відкривається і M3, який у свою чергу відкриває і M2. Струм зі стоку M2 потече до резистора r, падіння напруги на якому буде підтримувати напругу на затворі M4, щоб і надалі тримати його відкритим – маємо позитивний зворотній зв'язок. На рисунку 10 (d) представлено результати симуляції еквівалентної схеми на МОП транзисторах. Схема виходить зі стійкого стану при зниженні значення прикладеної напруги V_A . Фінальний варіант схеми імпульсного нейрона з використанням еквівалентної схеми генератора імпульсу на МОП транзисторах показана на рис. 11 [15, р. 4; с. 4].

Детектор імпульсу (помаранчевий блок на рис. 11) являє собою транзистор M5 та підключе-

ний до його стоку джерело струму. Коли імпульс відсутній, транзистор M5 закритий, відповідно опір його каналу дуже великий і на ньому падає напруга живлення при протіканні через нього струму з джерела I2. Як тільки з'являється імпульс транзистор M5 відкривається – опір його каналу падає і відповідно напруга на ньому. Вихідний буфер (червоний блок) являє собою стандартний КМОП інвертор. Даний буфер потрібний для збільшення навантажувальної здатності імпульсного нейрона на його виході. Результати симуляції даного імпульсного нейрона та його типорозміри на кристалі показано на рисунку 12 [16, р. 8; с. 8].

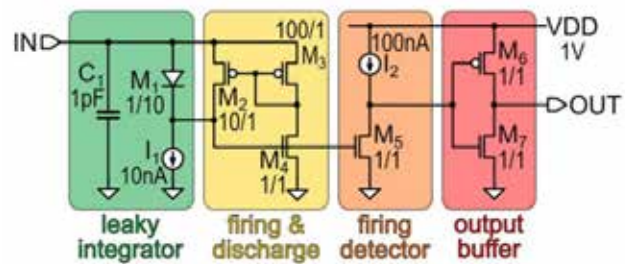


Рис. 11. Схема імпульсного нейрона з використанням схеми детектора порогу на МОП транзисторах

З результатів симуляції роботи нейрона можна побачити, що у якості вхідного сигналу може слугувати як постійний сигнал (струм) так і імпульсний сигнал, однак, на виході нейрон завжди видаватиме лише імпульсний сигнал.

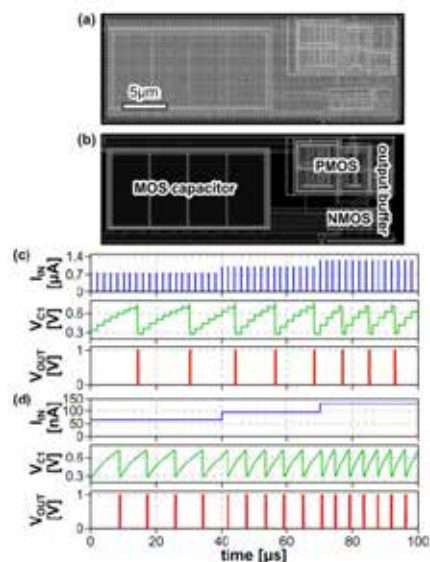


Рис. 12. Типорозміри імпульсного нейрона на кристалі (а), (b),
Результати симуляції при поданні на вхід нейрона імпульсного сигналу (с),
Результати симуляції при поданні на вхід нейрона постійного сигналу (d)

3. Постановка технічного завдання. На основі вже розглянутих існуючих аналогів штучного нейрона пропонується власна схема штучного нейрона, яка споживатиме меншу потужність.

Перевагами розглянутого адиабатичного штучного емнісного нейрона є його мала споживана статична потужність. Така енергоефективність досягається шляхом подання живлення на схему, а саме синаптичне дерево та компаратор з зацілкою, лише у ті моменти часу, коли відбувається обчислення вихідного стану нейрона – сумування зважених вхідних сигналів та їх подання до функції активації (компаратор). Однак, дана схема має і ряд недоліків:

1. Ті вхідні сигнали, що не беруть участі у обчисленні суми зважених сигналів, не враховуються у обчислення шляхом розмикання відповідного входу з конденсатором, на який подається даний вхідний сигнал. В результаті утворюється висячий контакт, який може на себе приймати шум, який у свою чергу може вплинути на результат суми зважених сигналів синаптичного дерева.

2. Якщо відповідний вхід розривається з відповідним конденсатором, то такий конденсатор не бере участі у формуванні суми сигналів, відповідно ємність такого конденсатора може бути виключена з рівняння ємнісного суматора напруг, яка лежить в основі обчислення суми зважених сигналів синаптичного дерева. Це означає, що ваги для сигналів будуть змінюватися в залежності від того, скільки сигналів приймає участь у формуванні суми. Дана особливість може значно ускладнити дизайн кінцевої нейромережі на основі таких нейронів і призвести до небажаних результатів на виході.

Саме через наведені вище мінуси, схему адиабатичного штучного нейрона вирішено не застосовувати у подальшому дослідженні. Натомість, вирішено працювати надалі зі схемою імпульсного штучного нейрона через ряд таких її плюсів:

1. Дана схема споживає значно меншу потужність, аніж схема адиабатичного нейрона. Така енергоефективність досягається шляхом передачі сигналів між нейронами у вигляді коротких імпульсів.

2. Ваги синаптичних з'єднань нейронів кодуються як частота імпульсів – чим більша частота імпульсів, тим більше значення вагів для даного сигналу, чим менша частота – тим менші ваги. Такий вид санапсу є значно простіший і не потребує використання додаткових девайсів, як мемконденсатори чи мемрезистори, ємність та опір яких відповідно є значеннями вагів для вхідних сигналів.

Одним з недоліків схеми імпульсного нейрона є те, що вихідний сигнал є імпульсами напруги. Таке представлення може бути незручним, оскільки дані імпульси не сумуються через те, що вхідний конденсатор одразу буде заряджатися до тієї ж напруги, що і має сам імпульс. Усі імпульси, що генерує нейрон мають однаковий рівень напруги, тому сумування напруги не відбуватиметься. Натомість кращим рішенням буде представлення вихідного сигналу у вигляді імпульсів струму. Струми навідмінну від напруги можуть сумуватися, коли протікають до конденсатора, а отже, може сумуватися і заряд на обкладинках конденсатора. Аналізуючи формулу (1) ємності для конденсатора можна побачити, що сумування зарядів на конденсаторі також призводитиме і до сумування напруги на ньому.

$$C = \frac{Q}{U} \quad (1)$$

де Q – заряд конденсатора;

U – напруга, прикладена до конденсатора;

C – ємність конденсатора;

З метою представлення вихідного сигналу нейрона у вигляді імпульсів струму було запропоновано схему вихідного буферу нейрона, яка показана на рисунку 13.

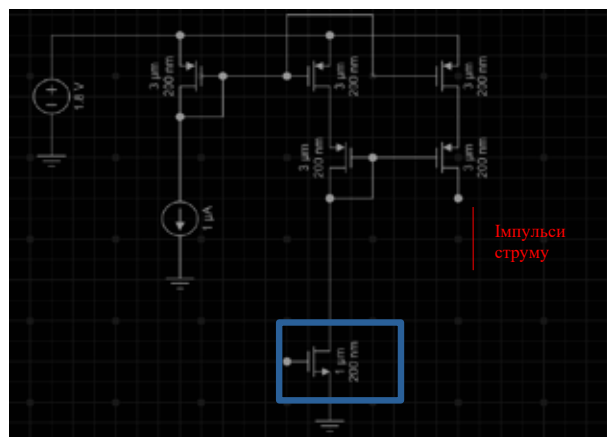


Рис. 13. Схема вихідного буферу імпульсного нейрона з поданням вихідного сигналу у вигляді імпульсів струму

Коли на вході нейрона з'являється вхідний імпульс, детектор імпульсу (транзистор виділений синім кольором на рис. 13) активує струмове дзеркало, ліва гілка якого формує вихід нейрона. Самим виходом є стік р-канального транзистора.

Висновки. Проведено аналіз наявних схемотехнічних рішень для створення штучного нейрону у інтегральних схемах. Одним з сучасних рішень є схема адиабатичного штучного нейрона, головною особливістю якого є використання дже-

рела змінної напруги для живлення синаптичного дерева, яке представлено ємнісним суматором з використанням мемристорів, та компаратора з зацілкою який формує вихідний, статичний сигнал. Використання саме змінної напруги у якості джерела живлення дозволяє суттєво зменшити споживану потужність, що робить даний нейрон досить енергоефективним.

Другим розглянутим рішенням є схема імпульсного нейрона за архітектурою LIF – Leaky Integrator and Fire. Дане рішення надає можливість зменшити споживану потужність, так як вихідний сигнал представлений у вигляді серії коротких імпульсів напруги. Також головною особливістю даного нейрона є те, що вхідні сигнали представляються у вигляді серій коротких імпульсів струму, які подаються на вхідну ємність. Частота даних імпульсів є еквівалентом вагів для вхідних сигналів нейрона. Така інтерпретація вагів дозволяє спростити схему синапсису та обійтися без мемконденсаторів як у попередній схемі, що

дозволяє зменшити її енергоспоживання і покращити стійкість характеристик до впливу зовнішніх факторів таких, наприклад, як змінення температури.

У результаті аналізу обох схем нейронів вирішено надалі працювати зі схемою імпульсного нейрона, так як вона має простішу структуру синапсису та потенційно має кращі показники енергоефективності. Головним удосконаленням до схеми імпульсного нейрона є заміна вихідного буферу, який формує вихідні імпульси струму. Попередня схема буферу генерувала імпульси напруги, що не є оптимальним рішенням, так як напруги не можуть сумуватися на вхідній ємності нейрона. Тому в роботі запропоновано застосувати схему вихідного буферу, яка побудована на дзеркалах струму, оскільки, це дозволить сумувати заряд, що надходить з дзеркал струму на вхідну ємність. Сумування заряду у свою чергу означає і сумування напруг на обкладинках конденсатора.

Список літератури:

1. Штучні нейронні мережі. URL: https://en.wikipedia.org/wiki/Artificial_neural_network
2. Throughput Optimizations for FPGA-based Deep Neural Network Inference, Institute of Embedded Systems, Hamburg University of Technology/ p. 20
3. Точність обчислень нейрона. URL: <https://journals.plos.org/plosone/article?id=10.1371/journal.pone.0214989>
4. S. Maheshwari, A. Serb, C. Papavassiliou, T. Prodromakis, An Adiabatic Capacitive Artificial Neuron With RRAM-Based Threshold Detection for Energy-Efficient Neuromorphic Computing, PRAM/ University of Edinburg, 2022. p. 5.
5. S. Maheshwari, A. Serb, C. Papavassiliou, T. Prodromakis, An Adiabatic Capacitive Artificial Neuron With RRAM-Based Threshold Detection for Energy-Efficient Neuromorphic Computing, Schematic of the proposed Adiabatic Capacitive Artificial Neuron/ University of Edinburg, 2022. fig. 2, p. 2.
6. S. Maheshwari, A. Serb, C. Papavassiliou, T. Prodromakis, An Adiabatic Capacitive Artificial Neuron With RRAM-Based Threshold Detection for Energy-Efficient Neuromorphic Computing, Transistor level diagram of n-bit capacitive synapse/ University of Edinburg, 2022. fig. 6, p. 4.
7. S. Maheshwari, A. Serb, C. Papavassiliou, T. Prodromakis, An Adiabatic Capacitive Artificial Neuron With RRAM-Based Threshold Detection for Energy-Efficient Neuromorphic Computing, Transistor level diagram of a Dynamic Latched Clocked Comparator/ University of Edinburg, 2022. fig. 7, p. 5.
8. S. Maheshwari, A. Serb, C. Papavassiliou, T. Prodromakis, An Adiabatic Capacitive Artificial Neuron With RRAM-Based Threshold Detection for Energy-Efficient Neuromorphic Computing, A single-phase resonant power clock generator/ University of Edinburg, 2022. fig. 3, p. 3.
9. S. Maheshwari, A. Serb, C. Papavassiliou, T. Prodromakis, An Adiabatic Capacitive Artificial Neuron With RRAM-Based Threshold Detection for Energy-Efficient Neuromorphic Computing, Timing waveform for a 4-bit ACAN at 1MHz CLK frequency/ University of Edinburg, 2022. fig. 11, p. 7.
10. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI/ Journal of Physics Communications, 2022.
11. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI, Concept of the LIF model/ Journal of Physics Communications, 2022. fig. 1, p. 2.
12. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI, SCR symbol and structure/ Journal of Physics Communications, 2022. fig. 2, p. 3.
13. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI, SCR-based neuron implementation using discrete components/ Journal of Physics Communications, 2022. fig. 3, p. 4.
14. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI, Transistor equivalence of an SCR/ Journal of Physics Communications, 2022. fig. 5, p. 5.

15. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI, VLSI implementation of the neuron/ Journal of Physics Communications, 2022. fig. 4, p. 4.
16. P Stoliar, I Akita, O Schneegans, M Hioki, M J Rozenberg, A spiking neuron implemented in VLSI, VLSI layout using TSMC 65 nm process/ Journal of Physics Communications, 2022. fig. 8, p. 8.

Mianovskyi V.V., Korniev V.P. SCHEME OF IMPULSE NEURON WITH OUTPUT BUFFER ON CURRENT MIRRORS

Modern solutions for designing an artificial neuron in integrated microcircuits are considered. The advantages and disadvantages of all considered circuit-technical solutions for the implementation of an artificial neuron are analyzed. An improved schematic solution for the scheme of an artificial neuron on current mirrors is proposed. This solution is possible to implement in the standard CMOS technology of manufacturing integrated semiconductor circuits.

Two well known implementation of artificial neuron in IC were analyzed. One of them is Adiabatic neuron and its main feature is usage of AC voltage source to drive synapsis tree and output buffer which consist of comparator with latch, so less power will be consumed by circuit. Another feature of this neuron is usage of memcapacitors as weights for input signals. Memcapacitors form capacitive adder which sums all weighted signal into one.

Second solution is LIF neuron that represents input and output signals as spikes of voltage. Such signal form for neurons benefits to energy efficiency of overall neuromorphic network due to smaller power consumption. Also synaptic input of such neuron consist only from one capacitor and weights are represented as frequencies of input signals. Such solution makes overall design of neural network easier since it does not involve any other additional components like capacitors or resistors.

In the result of analysis of existing solutions it was decided to improve LIF neuron circuit because it has better power efficiency compared to adiabatic neuron and because it has simpler synaptic input. As an improvement it is proposed to use current mirrors instead of regular CMOS inverter as an output buffer. Current mirrors will enable summation of voltages on the input capacitive sinapsis of other neurons which is crucial for proper work of entire network.

Key words: artificial neuron, integrated circuits (ICs), CMOS technology, current mirror, adiabatic neuron, LIF neuron.